

ELECTRONIC DEVICE

Publication number: JP7249729

Publication date: 1995-09-26

Inventor: HIROSE SHINICHI

Applicant: NIPPON DENSO CO

Classification:

- international: **B29C45/64; B29C45/76; H01L21/56; H01L23/28; H01L23/50; H01L29/84; B29L31/34; B29C45/64; B29C45/76; H01L21/02; H01L23/28; H01L23/48; H01L29/66; (IPC1-7): H01L23/50; B29C45/64; B29C45/76; H01L21/56; H01L23/28; H01L29/84; B29L31/34**

- european:

Application number: JP19940067603 19940311

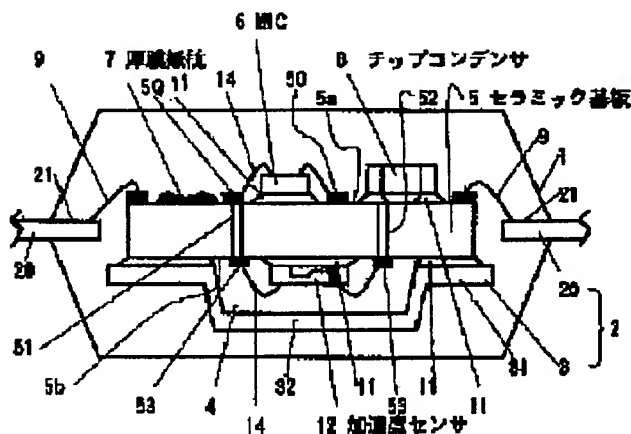
Priority number(s): JP19940067603 19940311

Report a data error here

Abstract of JP7249729

PURPOSE: To manufacture an electronic device easily at low cost by forming a hollow airtight state in a mold resin without requiring any special component for hermetic sealing.

CONSTITUTION: The electronic device 1 comprises a board 5 having a surface formed with a circuit wiring 50 and mounting electronic elements 6, 7, 8, a lead frame 2 for setting the board, and a resin molding the board and the lead frame. The island part 3 of the lead frame comprises a flat peripheral part 31 and a part 32 protruding downward and the board is jointed, on the rear side, to the peripheral part of the island part. A first electronic element 12 is disposed in a hollow part 4 defined by the rear surface of the board and the protruding part of the island. The first electronic element is connected through wirings 14, 53, 51 with the circuit wiring on the surface of the board which is then connected through a wire 9 with the bonding land 21 on the foot 20 of the lead frame. Subsequently, the electronic elements arranged on the surface of the board are resin molded along with the lead frame.



Data supplied from the **esp@cenet** database - Worldwide

(11)特許出願公開番号

特開平7-249729

(43)公開日 平成7年(1995)9月26日

(51)Int.Cl.°	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50	U			
B 2 9 C 45/64		7365-4F		
		7365-4F		
H 0 1 L 21/56	T	8617-4M		
	H	8617-4M		
審査請求 未請求 請求項の数2 F D (全 4 頁) 最終頁に続く				

(21)出願番号 特願平6-67603

(22)出願日 平成6年(1994)3月11日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 發明者 広瀬 伸一

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

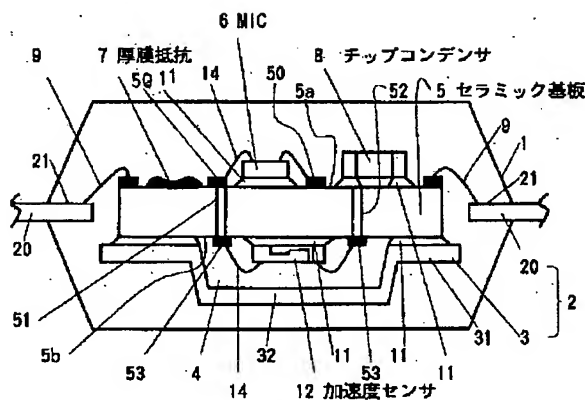
(74)代理人 弁理士 藤谷 修

(54) 【発明の名称】 電子装置

(57) 【要約】

【目的】気密封止用の特別な部品を用いることなく、モールド樹脂中に気密中空状態を形成することにより、電子装置の製造を容易目つ安価にすること。

【構成】表面に回路配線 5 0 が形成され電子素子 6, 7, 8 を搭載した基板 5 と、基板を設置するリードフレーム 2 と、基板及びリードフレームをモールド成形した電子装置 1 において、リードフレームのアイランド部 3 を平坦な周辺部 3 1 と、周辺部の内側を凸状に突出した突出部 3 2 とに形成し、基板の裏面 5 0 b とアイランド部の周辺部とを接合し、基板の裏面とアイランド部の突出部とで形成される中空部 4 に第 1 電子素子 1 2 を配設し、第 1 電子素子と基板の表面の回路配線とを接続する配線 1 4, 5 3, 5 1 を形成し、基板の表面の回路配線とリードフレームの足 2 0 のボンディングランド 2 1 とをワイヤー 9 で接続した後基板基板の表面上に配設された電子素子及びリードフレームをモールド成形した。



1

2

【特許請求の範囲】

【請求項1】 表面に回路配線が形成され電子素子を搭載した基板と、該基板を設置するリードフレームと、前記基板及び前記リードフレームをモールド成形した電子装置において、

前記リードフレームのアイランド部を平坦な周辺部と、該周辺部の内側を凸状に突出した突出部とに形成し、前記基板の裏面と前記アイランド部の前記周辺部とを接合し、

前記基板の裏面と前記アイランド部の前記突出部とで形成される中空部に第1電子素子を配設し、

前記第1電子素子と前記基板の表面の回路配線とを接続する配線を形成し、

前記基板の表面の回路配線と前記リードフレームの足のボンディングランドとをワイヤーで接続した後、前記基板、前記基板の表面上に配設された前記電子素子、及び、前記リードフレームをモールド成形したことを特徴とする電子装置。

【請求項2】 前記第1電子素子は、加速度センサであることを特徴とする請求項1に記載の電子装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、モールド成形された電子装置に関する。

【0002】

【従来技術】 従来、例えば、加速度センサ等のように機械的な変位を受ける素子を搭載したハイブリッド電子装置では、加速度センサの周囲を気密中空とする必要がある。このため、この電子装置のパッケージングは金属ケースによる気密封止がとられている。しかし、この金属ケースによる気密封止は、金属ケースという部品が余分に必要となり、又、気密封止工程が余分に必要となる。

【0003】

【発明が解決しようとする課題】 よって、フルモールド成形により上記素子を製造できれば、気密封止用の金属ケースも不必要であり、製造も容易である。しかし、フルモールド成形の場合には、加速度センサのダイヤフラムが樹脂で固定されないように、加速度センサを金属キャップで覆った後に、モールド成形する必要がある。よって、金属キャップという余分な部品が必要となる。

【0004】 本発明は上記の課題を解決するために成されたものであり、その目的はモールド成形電子装置において、気密封止用の特別な部品を用いることなく、モールド樹脂中に気密中空状態を形成することにより、電子装置の製造を容易且つ安価にすることである。

【0005】

【課題を解決するための手段】 上記課題を解決するための発明の構成は、表面に回路配線が形成され電子素子を搭載した基板と、この基板を設置するリードフレームと、基板及びリードフレームをモールド成形した電子装

置において、リードフレームのアイランド部を平坦な周辺部と、この周辺部の内側を凸状に突出した突出部とに形成し、基板の裏面とアイランド部の周辺部とを接合し、基板の裏面とアイランド部の突出部とで形成される中空部に第1電子素子を配設し、第1電子素子と基板の表面の回路配線とを接続する配線を形成し、基板の表面の回路配線とリードフレームの足のボンディングランドとをワイヤーで接続した後、基板、基板の表面上に配設された電子素子、及び、リードフレームをモールド成形したことを特徴とする。

【0006】 上記第1電子素子は、加速度センサ等の気密中空部に納めることが必要な素子である。勿論、中空部には、加速度センサ等の気密中空部に納めることが必要な素子の他、他の中空部に納める必要のない素子が配設されていても良い。

【0007】

【作用】 リードフレームのアイランド部を平坦な周辺部と凸状に突出した突出部とで形成する。そして、基板の裏面をアイランド部に配設する時、基板の裏面と突出部とで中空部が形成される。加速度センサ等の第1電子素子がこの中空部に納まるように基板の裏面に配設される。この加速度センサは基板表面に形成された回路配線と基板を貫くスルーホール等により接続される。そして、基板表面の回路配線とリードフレームの足のボンディングランドとがワイヤーで接続されて、基板、リードフレーム、基板上の電子素子等の全体が樹脂によりモールド成形される。

【0008】

【発明の効果】 リードフレームのアイランド部を凸状に加工する工程を設けるだけで、基板とリードフレームのアイランド部とで中空部が形成される。この中空部に加速度センサ等の第1電子素子が存在するように、基板の裏面に第1素子を配設すれば良い。よって、第1電子素子を封止するための金属ケースが不要であり、モールド形成電子素子を安価且つ容易に製造することができる。

【0009】

【実施例】 以下、本発明を具体的な実施例に基づいて説明する。図1において、電子素子を搭載する基板としてのセラミック基板5の表面5aには回路配線50が形成されており、電子素子である制御用MIC6、チップコンデンサ8及び厚膜抵抗7とがセラミック基板5の表面5aに配設されている。制御用MIC6とチップコンデンサ8は接着剤11でセラミック基板5の表面5aに固定されている。また、制御用MIC6は金線14によるワイヤボンディングにより回路配線50に電氣的に接続されている。

【0010】 又、セラミック基板5の裏面5bには、第1電子素子である加速度センサ12が接着剤11で固定されており、この加速度センサ12は金線14によるワ

3

イヤボンディングによりセラミック基板5の裏面5b上に形成された回路配線53と接続されている。そして、裏面5bの回路配線53と表面5aの回路配線50とは、スルーホール51、52により電気的に接続されている。尚、このスルーホールは気密性を確保するために、ハンダ等によりセラミック基板両面を封止しておく。

【0011】一方、リードフレーム2のアイランド部3は、平坦な周辺部31と、その内側に凸状に突出した突出部32とで形成されている。このリードフレーム2は、図3に示すプレス加工により加工される。即ち、凹部36を有したダイ35にリードフレーム2が配設され、アイランド部3はパンチ37の押圧操作により、凹部36の形状に沿って加工される。

【0012】このように加工されたリードフレーム2のアイランド部3の周辺部31とセラミック基板5の裏面5bとが接着剤11により接着される。そして、アイランド部3の突出部32とセラミック基板5の裏面5bとで密閉された中空部4が形成される。セラミック基板5の裏面5bに配設された加速度センサ12は、この中空部4に収納される。即ち、加速度センサ12の上側はリードフレーム2のアイランド部3により完全に覆われる。

【0013】次に、セラミック基板5の表面5a上の回路配線50とリードフレーム2の足20のボンディングランド21とが金線9によりワイヤボンディングされる。そして、この構成の電子装置1はモールド成形される。このモールド成形時に、加速度センサ12はリードフレーム2のアイランド部3で完全に覆われているので、中空部4は樹脂で充填されない。

【0014】このように、上記実施例では、加速度センサ12はセラミック基板5の裏面5bに配設され、上部空間がリードフレーム2のアイランド部3で完全に覆われているので、モールド成形後も、加速度センサ12の

4

ダイヤフラムの変位も支障なく行われる。尚、上記の金線14、9はAl線でも良い。

【0015】図2は他の実施例を示した電子装置1の構成図である。この電子装置1では制御MIC6、加速度センサ12がフリップチップであり、セラミック基板5のハンダバンプにハンダ54により直接接合されている。

【0016】尚、上記の実施例では、中空部4に収納される第1電子素子を加速度センサ12としたが、空間部で密封を必要とするような素子であれば、他の素子でも良い。又、この中空部には加速度センサ等の第1電子素子の他、他の電子素子、例えば振動子等の樹脂を直接ポッティングできない素子、を共に配設するようにしても良い。

【図面の簡単な説明】

【図1】本発明の具体的な実施例に係る電子装置の構成を示した構成図。

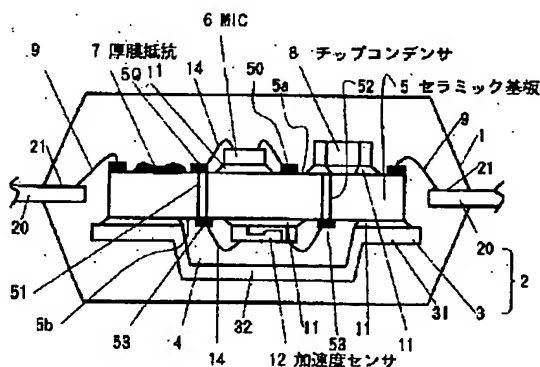
【図2】本発明の具体的な他の実施例に係る電子装置の構成を示した構成図。

【図3】リードフレームのアイランド部の加工方法を説明した説明図。

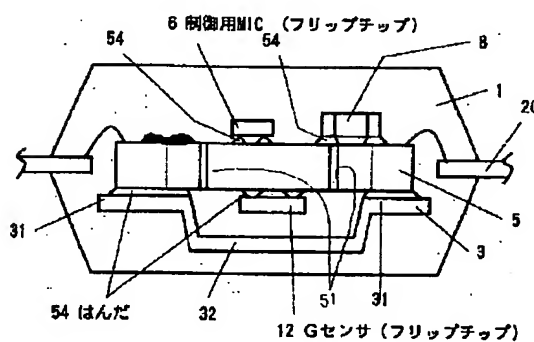
【符号の説明】

- 1…電子装置
- 2…リードフレーム
- 3…アイランド部
- 4…中空部
- 5…セラミック基板
- 6…制御用MIC（電子素子）
- 8…チップコンデンサ（電子素子）
- 12…加速度センサ（第1電子素子）
- 20…足
- 21…ボンディングランド
- 31…周辺部
- 32…突出部

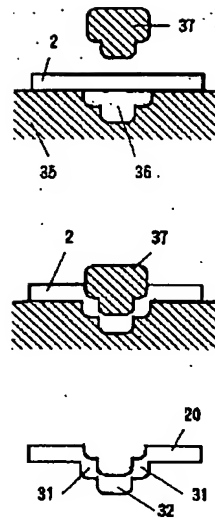
【図1】



【図2】



【図 3】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 23/28

29/84

// B 2 9 L 31:34

識別記号

庁内整理番号

F I

技術表示箇所

A 8617-4M

Z 8617-4M

A 8932-4M